

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-308197

(43)Date of publication of application : 02.11.2001

(51)Int.Cl.

H01L 21/8234

H01L 27/088

H01L 29/78

(21)Application number : 2000-124221

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 25.04.2000

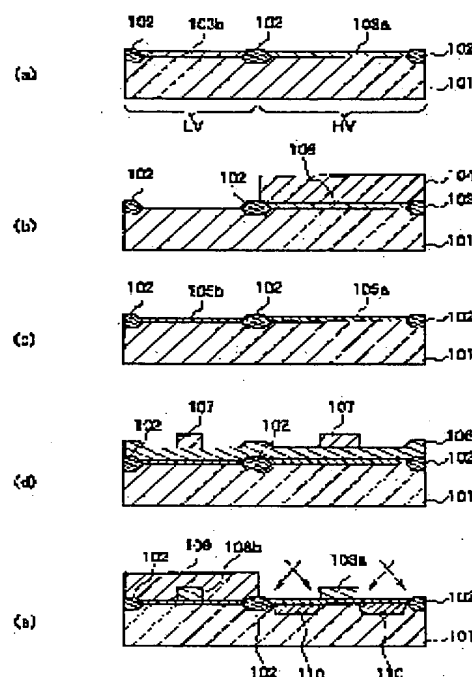
(72)Inventor : FUKUMOTO AKIRA  
MORINAGA MINORU

## (54) MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To form an LDD region of a high breakdown voltage transistor which is longer in comparison with an LDD region of a MOS transistor driven by a low voltage symmetrically to a gate of the high breakdown voltage transistor without using a mask, when the low-voltage driven MOS transistor and a high breakdown voltage MOS transistor at the same time.

**SOLUTION:** After a gate 108a of a high breakdown voltage transistor and a gate 108b of a transistor driven by a low voltage are formed, the implantation of phosphorus ions for an LDD is performed by using the gate 108a as a mask, followed by a heat treatment for diffusing phosphorus under the gate 108a to form an LDD layer 110. After that, a side wall 114a is formed on the side wall of the gate 108a and the high-density source and drain implantation is performed by using the side wall 114a as a mask. As a result, the LDD layer 110 which is longer than an LDD layer 112 of a low-voltage transistor can be formed symmetrically to the gate 108a without using a mask. Furthermore, downsizing of the high breakdown voltage transistor can be attained and variability of characteristics can be restrained.



## LEGAL STATUS

[Date of request for examination] 25.04.2000

[Date of sending the examiner's decision of rejection] 18.04.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3473902

[Date of registration] 19.09.2003

[Number of appeal against examiner's decision of rejection] 2003-08820

[Date of requesting appeal against examiner's decision of rejection] 16.05.2003

[Date of extinction of right]



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-308197

(P2001-308197A)

(43) 公開日 平成13年11月2日 (2001.11.2)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 1 L 21/8234		H 0 1 L 27/08	1 0 2 B 5 F 0 4 0
27/088		29/78	3 0 1 S 5 F 0 4 8
29/78			

審査請求 有 請求項の数 3 O L (全 8 頁)

(21) 出願番号 特願2000-124221(P2000-124221)

(22) 出願日 平成12年4月25日 (2000.4.25)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 福本 彰

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72) 発明者 森永 実

大阪府高槻市幸町1番1号 松下電子工業株式会社内

(74) 代理人 100095555

弁理士 池内 寛幸 (外1名)

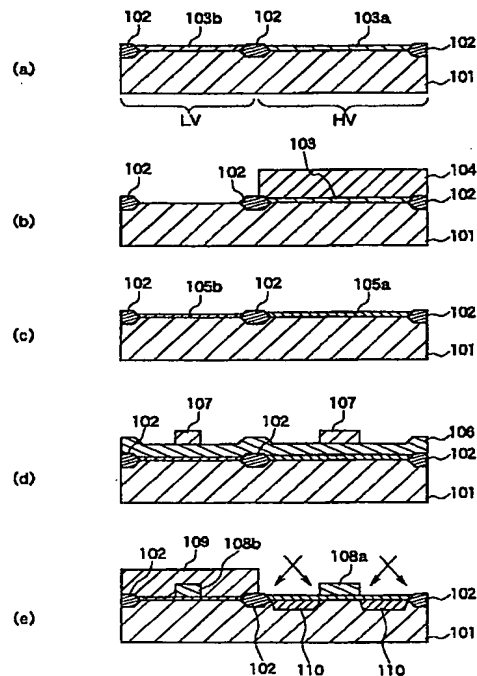
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 低電圧駆動MOSトランジスタと、高耐圧MOSトランジスタとを同時に形成する際に、低電圧駆動MOSトランジスタのLDD領域に比べて長い高耐圧トランジスタのLDD領域を、マスクを用いず、対称に形成する。

【解決手段】 高耐圧トランジスタのゲート108aと、低電圧トランジスタのゲート108bを形成後、ゲート108aをマスクとしてLDD用リンイオン注入をし、その後、熱処理してゲート108aの下にもリンを拡散させ、LDD層110を形成する。その後、ゲート108aの側壁にサイドウォール114aを形成し、それをマスクとして高濃度ソース・ドレイン注入をする。それにより、マスクを用いることなくゲート108aに対称に低電圧トランジスタのLDD層112よりも長いLDD層110を形成でき、高耐圧トランジスタの小型化と、特性バラツキ抑制ができる。



## 【特許請求の範囲】

【請求項1】 半導体層上の第1の領域に高耐圧トランジスタの第1の膜厚を有する第1のゲート酸化膜を形成し、前記半導体層上の第2の領域に低電圧駆動トランジスタの第2の膜厚を有する第2のゲート酸化膜を形成する工程と、前記第1及び第2のゲート酸化膜上にそれぞれ高耐圧トランジスタのゲートと低耐圧トランジスタのゲートを形成する工程と、前記高耐圧トランジスタのゲートをマスクとして、前記半導体層と反対の導電型を有する不純物を前記第1の領域に注入する工程と、前記第1の領域に注入された前記不純物を熱拡散させる工程と、前記低電圧駆動トランジスタのゲートをマスクとして、前記半導体層と反対の導電型を有する不純物を前記第2の領域に注入する工程と、全面に絶縁膜を堆積し、異方性ドライエッチングにより前記高耐圧トランジスタのゲート及び前記低電圧駆動トランジスタのゲートの側壁にサイドウォールを形成する工程と、前記サイドウォール、前記高耐圧トランジスタのゲート及び前記低電圧駆動トランジスタのゲートをマスクとして、前記半導体層と反対の導電型を有する不純物を前記第1及び前記第2の領域に注入する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 半導体層上の第1の領域に高耐圧トランジスタの第1の膜厚を有する第1のゲート酸化膜を形成する工程と、前記第1のゲート酸化膜上に高耐圧トランジスタのゲートを形成する工程と、前記高耐圧トランジスタのゲートをマスクとして前記半導体層と反対の導電型を有する不純物を前記第1の領域に注入する工程と、前記第1の領域に注入された前記不純物を熱拡散させる工程と、この後、前記半導体層上の第2の領域に低電圧駆動トランジスタの第2の膜厚を有する第2のゲート酸化膜を形成する工程と、前記第2のゲート酸化膜上に低電圧駆動トランジスタのゲートを形成する工程と、前記低電圧駆動トランジスタのゲートをマスクとして、前記半導体層と反対の導電型を有する不純物を前記第2の領域に注入する工程と、全面に絶縁膜を堆積し、異方性ドライエッチングにより前記高耐圧トランジスタのゲート及び前記低電圧駆動トランジスタのゲートの側壁にサイドウォールを形成する工程と、前記サイドウォール、前記高耐圧トランジスタのゲート及び前記低電圧駆動トランジスタのゲートをマスクとして、前記半導体層と反対の導電型を有する不純物を前記第1及び前記第2の領域に注入する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】 前記第1の領域に注入された前記不純物を熱拡散させる工程の後、前記低電圧駆動トランジスタの $V_t$ を制御するためのチャンネル注入を前記第2の領域に行うことを特徴とする請求項2記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特に高耐圧MOS型半導体集積回路装置の製造方法に関する。

【0002】

【従来の技術】従来、十数Vから数十Vの電圧で駆動する高耐圧MOS型トランジスタを搭載した半導体集積回路装置が用いられている。高耐圧MOS型トランジスタは、例えば、液晶パネル駆動用LSIとして用いられる。液晶パネル駆動用LSIは液晶パネルの高画質化のために出力電圧を高くすることが要望され、出力用の内部回路の耐圧は、5Vから10V、あるいは20V以上に高耐圧化することが求められ、同時に動作制御用に5Vあるいは3.3Vのロジック回路を必要としている。

【0003】また、液晶パネル駆動用LSIは、通常液晶パネルの縁に張り付けて用いられるため、細長い形状で400程度の出力端子を持っている。そして、パネルの縁を狭くするため、液晶パネル駆動用LSIはより細くすることが求められ、同時に液晶パネルの多画素化に伴い、更なる多出力化が求められている。

【0004】一方、製造工程においては、ステッパーで露光できる範囲（例えば20mm以下）の制限のために、チップの長さには制限がある。従って、液晶パネル駆動用LSIは、回路を構成する高耐圧MOSトランジスタを小さくすることが求められている。

【0005】十数Vから数十Vの電圧で駆動する高耐圧MOS型トランジスタを搭載した半導体集積回路装置の構造とその製造方法としては、例えば特開平8-204021号公報に記載されたものが知られている。図5は、従来の上記のような高耐圧MOSトランジスタと、数Vの電圧で駆動する低電圧駆動MOSトランジスタとを同一基板上に形成した半導体装置の製造方法を示す工程断面図である。この図では、左側が低電圧MOSトランジスタ、右側が高耐圧MOSトランジスタである。

【0006】まず、図5(a)に示すように、半導体基板310に形成された、高耐圧MOSトランジスタのゲート301および低電圧MOSトランジスタのゲート302に対して自己整合的に、LDD（ライトリイ・ドープド・ドレイン）を形成するための不純物注入を行い、高耐圧MOSトランジスタのLDD領域303および低電圧MOSトランジスタのLDD領域304を形成する。次に図5(b)に示すように、TEOS（テトラオルソシリケート）を原料とするCVD法により、シリコン酸化膜305を形成する。

【0007】次に図5(c)に示すように、異方性エッチングによりゲート301、302の側壁にサイドウォール306a、306bを形成する。選択的にソースドレイン注入を行うためのレジスト307を形成後、ソース・ドレインを形成するための濃い不純物（Nchトランジスタの場合は通常砒素）注入により、高耐圧MO

Sトランジスタのソース・ドレイン領域308と低電圧MOSトランジスタのソース・ドレイン領域309を形成する。このとき低電圧MOSトランジスタのソース・ドレイン領域309がゲート302およびサイドウォール306bに自己整合的に形成される。これに対して、高耐圧MOSトランジスタは高耐圧化のため水平方向に長いLDDが必要であるので、レジスト307により高耐圧トランジスタのゲート301およびサイドウォール306bを被覆し、ソース・ドレインを形成するための濃い不純物注入を、高耐圧トランジスタのゲート301から左側に長さL1、右側に長さL2離して行っている（マスクオフセット高耐圧MOSトランジスタ）。理想的には、通常L1=L2となっている。

【0008】

【発明が解決しようとする課題】この高耐圧MOSトランジスタにおいては、上述のようにトランジスタサイズの小型化が要求されている。従来の高耐圧MOSトランジスタでは、図5のように、高耐圧MOSトランジスタのゲート301に対して自己整合的にLDDを形成した後に、マスクオフセットL1、L2を形成し、これによりソース・ドレインを形成するためのヒ素を注入している。このため、工程でのマスクズレによりLDD長L1が長くなるとL2が短くなり、また逆にL1が短くなりL2が長くなるということが発生する。

【0009】マスクズレのためにLDD長が短くなった側でも所定の耐圧を確保するためには、LDD長を耐圧の設計値から要請される長さよりもマスクズレ分（例えば0.3μm）長くする必要があった。そのためにトランジスタサイズが大きくなるばかりでなく、LDD長が必要以上に長くなるために、LDD部分の抵抗によりトランジスタの電流能力が低下する。それを補なおうとすればTrのチャンネル方向と直角方向の幅を広げる必要があり、さらにトランジスタが大きくなるという問題があった。

【0010】例えば耐圧確保のため最低限LDD長を0.3μm必要とする場合、マスクずれ0.3μmを考慮すると、少なくとも0.6μm以上のLDD長が必要になる。その結果、ソース部分あるいはドレイン部分のLDD部の抵抗は2倍になる。さらに、マスクずれによるLDD部の抵抗ばらつきを低減する為には、LDD長をさらに長くして、抵抗を大きくし、バラツキを吸収するようにしなければならない。

【0011】本発明の目的は、上記従来の問題点を解消した、ロジック用の低耐圧トランジスタと同時に形成する高耐圧トランジスタを小型にするための製造方法を提供することである。

【0012】

【課題を解決するための手段】上記課題を解決するため、本発明に係る第1の半導体装置の製造方法は、半導体層上の第1の領域に高耐圧トランジスタの第1の膜

厚を有する第1のゲート酸化膜を形成し、半導体層上の第2の領域に低電圧駆動トランジスタの第2の膜厚を有する第2のゲート酸化膜を形成する工程と、第1及び第2のゲート酸化膜上にそれぞれ高耐圧トランジスタのゲートと低耐圧トランジスタのゲートを形成する工程と、高耐圧トランジスタのゲートをマスクとして、半導体層と反対の導電型を有する不純物を第1の領域に注入する工程と、第1の領域に注入された不純物を熱拡散させる工程と、低電圧駆動トランジスタのゲートをマスクとして、半導体層と反対の導電型を有する不純物を第2の領域に注入する工程と、全面に絶縁膜を堆積し、異方性ドライエッチングにより高耐圧トランジスタのゲート及び低電圧駆動トランジスタのゲートの側壁にサイドウォールを形成する工程と、サイドウォール、高耐圧トランジスタのゲート及び低電圧駆動トランジスタのゲートをマスクとして、半導体層と反対の導電型を有する不純物を第1及び第2の領域に注入する工程とを含む。

【0013】また、本発明に係る第2の半導体装置の製造方法は、半導体層上の第1の領域に高耐圧トランジスタの第1の膜厚を有する第1のゲート酸化膜を形成する工程と、第1のゲート酸化膜上に高耐圧トランジスタのゲートを形成する工程と、高耐圧トランジスタのゲートをマスクとして、半導体層と反対の導電型を有する不純物を第1の領域に注入する工程と、第1の領域に注入された前記不純物を熱拡散させる工程と、その後、半導体層上の第2の領域に低電圧駆動トランジスタの第2の膜厚を有する第2のゲート酸化膜を形成する工程と、第2のゲート酸化膜上に低電圧駆動トランジスタのゲートを形成する工程と、低電圧駆動トランジスタのゲートをマスクとして、半導体層と反対の導電型を有する不純物を第2の領域に注入する工程と、全面に絶縁膜を堆積し、異方性ドライエッチングにより高耐圧トランジスタのゲート及び低電圧駆動トランジスタのゲートの側壁にサイドウォールを形成する工程と、サイドウォール、高耐圧トランジスタのゲート及び低電圧駆動トランジスタのゲートをマスクとして、半導体層と反対の導電型を有する不純物を第1及び第2の領域に注入する工程とを含む。

【0014】以上の方法によれば、従来のようにマスクを用いずに高耐圧トランジスタのゲートをマスクとして注入し、熱拡散した不純物領域をほぼゲートに対称に形成することができる。

【0015】また、第2の製造方法においては、第1の領域に注入された不純物を熱拡散させる工程の後、低電圧駆動トランジスタのVtを制御するためのチャネル注入を第2の領域に行うことが望ましい。このようにすれば、Vtを制御するためのチャネル注入層が熱拡散の影響を受けずに形成できる。

【0016】

【発明の実施の形態】（第1の実施の形態）第1の実施の形態における半導体装置の製造方法について、図1及び図2を用いて説明する。図1及び図2は、高耐圧MOSトランジスタと低電圧駆動MOSトランジスタとを同時に搭載した半導体集積回路の製造工程を示す断面模式図であり、連続した工程を示す。図における左側の低電圧トランジスタ領域LVには低電圧MOSトランジスタが形成され、右側の高耐圧トランジスタ領域HVには高耐圧MOSトランジスタが形成される。

【0017】まず、図1(a)に示すように、P型半導体基板101上にフィールド酸化膜102（またはトレンチ分離でも良い）を形成し、次に熱酸化により厚さ10nm〜50nmの高耐圧のゲート酸化膜103a、103bを形成する。次に図1(b)に示すように、高耐圧トランジスタ領域HV上にレジスト104を形成し、低耐圧トランジスタ領域LVの高耐圧のゲート酸化膜103bを除去する。次いで図1(c)に示すように、レジスト104を除去後、熱酸化により厚さ5nm〜15nmの低電圧トランジスタのゲート酸化膜105bを形成する。このとき高耐圧トランジスタのゲート酸化膜103aは追加酸化されるので、積層ゲート酸化膜105aとなる。積層ゲート酸化膜105aの厚さは最終的に20nm〜60nmである。

【0018】図1(d)に示すように、ゲート酸化膜105a、105b上に膜厚250nm〜500nmの伝導性ポリシリコン106を形成し、レジスト107を形成後、エッチングにより、図1(e)に示すように、高耐圧トランジスタのゲート108aと低耐圧トランジスタのゲート108bを形成する。レジスト107を除去後、低電圧トランジスタ領域LV上にレジスト109を形成し、高耐圧トランジスタ領域HVに、リンを $1E12\text{ cm}^{-2}$ 〜 $1E14\text{ cm}^{-2}$ だけ、半導体基板に対して斜めに回転或いはマルチステップ注入することにより、高耐圧LDD注入領域110を形成する。

【0019】注入後、図2(f)に示すように、低電圧トランジスタ領域LV上に形成したレジスト109を除去し、950℃以上の高温で高耐圧LDD注入領域110にリンの不純物拡散をさせる。例えば1000℃、60分の熱拡散を行うと、高耐圧LDD注入領域110は、高耐圧トランジスタのゲート108aの下に0.3μm〜0.4μm入り込む。

【0020】次に図2(g)に示すように、高耐圧トランジスタ領域HV上にレジスト111を形成し、低電圧トランジスタ領域LVに、リンを $1E12\text{ cm}^{-2}$ 〜 $1E14\text{ cm}^{-2}$ だけ、半導体基板に対して斜めに基板回転或いはマルチステップ回転しながら注入することにより、低電圧MOSトランジスタのLDD注入領域112を形成する。

【0021】LDD注入が終了した後、図2(h)に示すように、高耐圧トランジスタ領域HV上のレジスト

111を除去し、半導体基板全面に減圧CVD法でTEOSによる酸化シリコン膜113を積層する。そして図2(i)に示すように、異方性ドライエッチングにより酸化シリコン膜113をエッチングし、高耐圧トランジスタのゲート108a及び低電圧トランジスタのゲート108bの側壁に、それぞれ幅100nm〜200nmのサイドウォール114aと114bを形成する。この状態で高耐圧トランジスタ領域HVと低耐圧トランジスタ領域LVに、高耐圧トランジスタのゲート108aとサイドウォール114a、及び低耐圧トランジスタのゲート108bとサイドウォール114bに対して自己整合的にヒ素を注入し、高濃度のソースドレイン領域115を形成する。この後の工程は、通常行われている工程となる。

【0022】本実施の形態の製造方法によれば、同一チップ上で、低電圧動作トランジスタのLDD長に比べ、高耐圧のトランジスタのLDD長をより長くする事ができ、しかも上記製造工程から明かなように、高耐圧のトランジスタのLDD長をゲート電極108aの左右で対称にすることができる。また高耐圧のトランジスタのソース・ドレインも自己整合的に形成することが可能になる。このようにして、従来の高耐圧のトランジスタLDDを形成する際のマスクズレに起因する、LDD長が短くなった側で発生する耐圧低下や特性のバラツキが無くなるため、高耐圧のトランジスタ小型化と特性の均一化に効果を発揮する。

【0023】本実施の形態による製造工程では、サイドウォール幅のばらつきと拡散層110の熱拡散によるLDD長のばらつきは、合計しても0.05μm以下であり、ソースドレインに対称にばらつきが発生するため、トランジスタの特性のばらつきを、マスクズレによるばらつきに対し1/6〜1/10に小さく出来る。

【0024】なお、本実施の形態では、トランジスタを形成する下地をP基板としたが、Pウェル上でも良い。また、図2(f)の工程において、高耐圧トランジスタ領域HV上にレジスト111を形成せずに、低電圧トランジスタ領域LVと同時にリンを $1E12\text{ cm}^{-2}$ 〜 $1E14\text{ cm}^{-2}$ 斜めに回転或いはマルチステップ注入しても良い。この場合、工程を増加させずに高耐圧トランジスタのLDD領域の不純物濃度を段階的に変化させることができ、動作時の電界を緩和し、トランジスタのよりいっそうの高耐圧化が可能である。

【0025】また、N基板またはNウェル上にPチャネルトランジスタを形成する場合であっても同様である。後の工程ではリンの代わりにボロンまたはBF<sub>3</sub>を注入し、ヒ素の代わりにボロンまたはBF<sub>3</sub>を注入する。

【0026】（第2の実施の形態）図3及び4は、本発明の第2の実施の形態における半導体装置の製造方法を示す工程フローの断面模式図であり、連続した工程を示す。図3及び4においても、高耐圧MOSトランジスタ

10

20

30

40

50

と、低電圧駆動MOSトランジスタとは、図1及び2と同様に配置されている。

【0027】図3(a)に示すように、P型基板201上にフィールド酸化膜202(またはトレンチ分離でも良い)を形成し、さらに高耐圧トランジスタの膜厚20nm~50nmのゲート酸化膜203を形成する。次に、高耐圧トランジスタ領域HVのみにゲート204を形成し、さらに低電圧トランジスタ領域LV上にレジスト205を形成する。その後、高耐圧トランジスタ領域HVに、リンを70keV~150keVで1E12cm<sup>-2</sup>~1E14cm<sup>-2</sup>、ゲート204に自己整合的に斜めに回転或いはマルチステップ注入することにより、高耐圧LDD注入領域206を形成する。

【0028】次に図3(b)に示すように、レジスト205を除去後、950℃以上の高温で高耐圧LDD注入領域206を熱拡散させる。例えば1050℃、60分の熱拡散を行うと、高耐圧LDD注入領域206はゲート204の下に0.3μm~0.4μm入り込む。

【0029】次いで図3(c)に示すように、高耐圧トランジスタ領域HV上にレジスト207を形成し、低電圧トランジスタのVtを制御するためのチャネル注入を行う。その後、低電圧領域LV上に残ったゲート酸化膜203を除去し(図3(d))、さらに高耐圧トランジスタ領域HV上のレジスト207を除去した後、低電圧トランジスタのゲート酸化膜208を形成する(図3(e))。この時、高耐圧トランジスタのゲート電極204の表面には酸化膜が形成される。

【0030】次に、図4(f)に示すように、膜厚250nm~500nmの伝導性ポリシリコン209を形成し、さらにレジスト210を形成する。次に図4(g)に示すように、エッチングにより低電圧トランジスタのゲート211を形成した後、レジスト210を除去する。そして図4(h)に示すように、高耐圧トランジスタ領域HV上にレジスト212を形成し、低電圧トランジスタ領域LVに、リンを70keV~150keVで1E12cm<sup>-2</sup>~1E14cm<sup>-2</sup>、斜めに回転或いはマルチステップ注入することにより低電圧LDD注入領域213を形成する。

【0031】次に図4(i)に示すように、高耐圧トランジスタ領域HV上のレジスト212を除去し、減圧CVD法によるTEOS酸化膜214を積層する。次に図4(j)に示すように、異方性ドライエッチングにより高耐圧トランジスタのゲート204及び低電圧トランジスタのゲート211の側壁に、それぞれ幅100nm~200nmのサイドウォール215aと215bを形成する。次に、高耐圧トランジスタ領域HVと低電圧トランジスタ領域HVに、ヒ素を、ゲート204とサイドウォール215a、及びゲート211とサイドウォール215bに自己整合的に注入し、高濃度ソースドレイン領域216を形成する。この後の工程は図1及

び2の半導体集積回路装置と同様である。

【0032】上記製造方法によれば、同一チップ上で、低電圧動作トランジスタのLDD長に比べ、高耐圧のトランジスタのLDD長を左右対称に長くし、かつ、自己整合的に高耐圧のトランジスタのソース・ドレインを形成することが可能になり、従来のようなマスクズレによる耐圧低下や特性のバラツキが無くなるため、高耐圧のトランジスタ小型化と特性の均一化に効果がある。

【0033】また本実施の形態においては、高耐圧LDD注入領域206を熱拡散させる工程の後に、低電圧トランジスタのチャネル領域のドーピングを行うことが、図3(e)の段階で可能であり、第1の実施形態に比べて、低電圧トランジスタのチャネルドーピングの拡散を抑制し、高精度に低電圧トランジスタVt制御が行える利点がある。また反対に、より高温の高耐圧LDD注入領域206の熱拡散処理が可能となり、より高耐圧のトランジスタを形成出来る。

【0034】

【発明の効果】本発明によれば、ロジック用の低電圧トランジスタと同時に形成する高耐圧トランジスタの製造はらつきを小さくし、従来のようなマスク合わせマージンなどをLDDに追加する必要がなく、ON抵抗を小さく、高耐圧のトランジスタを小型化し、安定した特性を実現することができる。

【図面の簡単な説明】

【図1】第1の実施の形態におけるnチャネル形低耐圧及び高耐圧MOSトランジスタの製造工程を示す断面模式図

【図2】図1に続く工程を示す断面模式図

【図3】第2の実施の形態におけるnチャネル形低耐圧及び高耐圧MOSトランジスタの製造工程を示す断面模式図

【図4】図3に続く工程を示す断面模式図

【図5】従来のnチャネル形低耐圧及び高耐圧MOSトランジスタの製造工程を示す断面模式図

【符号の説明】

101、201 P型基板

102、202 フィールド酸化膜

103、203 高耐圧トランジスタのゲート酸化膜

103b 低耐圧領域の高耐圧酸化膜

104、107、109、111、205、207、210、212 レジスト

105、208 低電圧トランジスタのゲート酸化膜

106、209 ポリシリコン

108a、204 高耐圧トランジスタのゲート

108b、210 低電圧トランジスタのゲート

110、206 高耐圧LDD注入領域

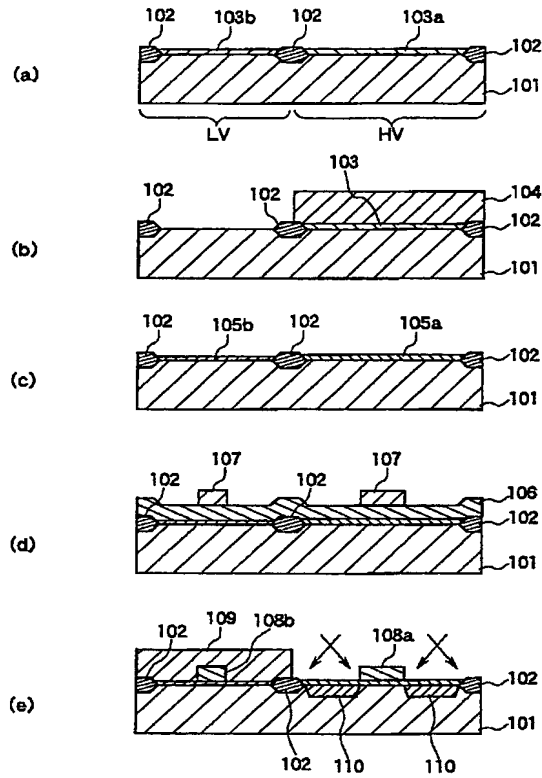
112、213 低電圧LDD注入領域

113、214 酸化膜

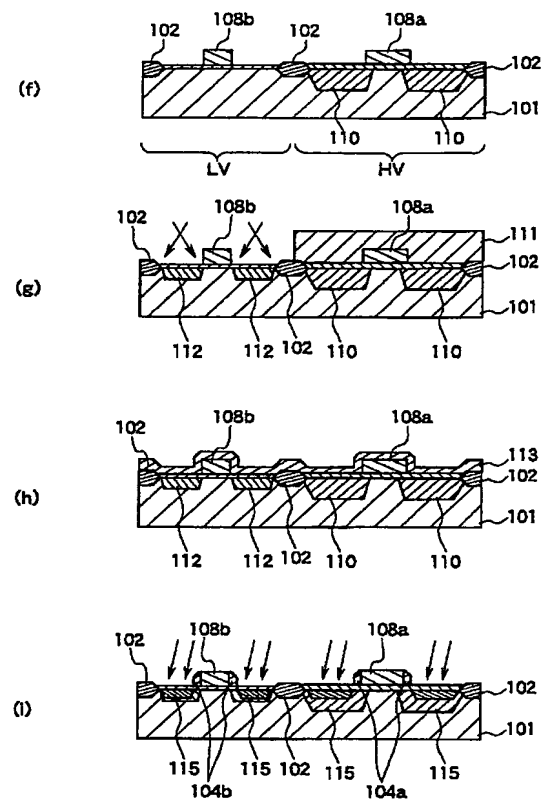
114a、114b、215a、215b サイドウォール  
ール

\* 115、216 ソースドレイン領域  
＊

【図1】

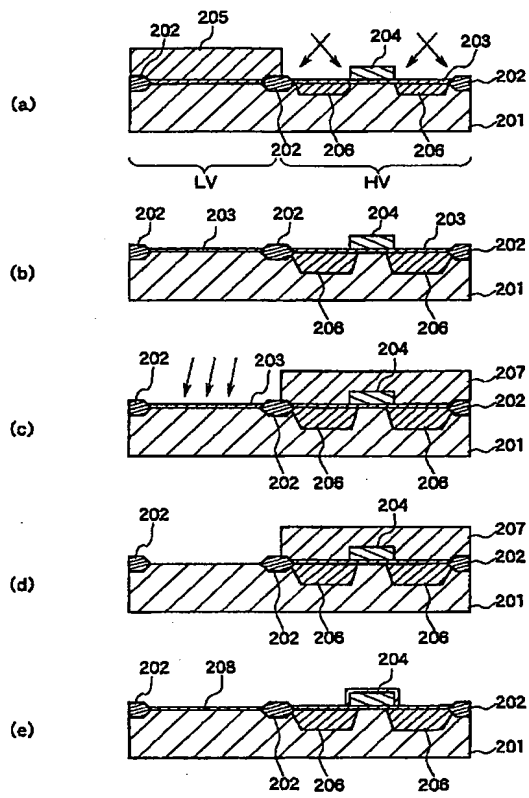


【図2】

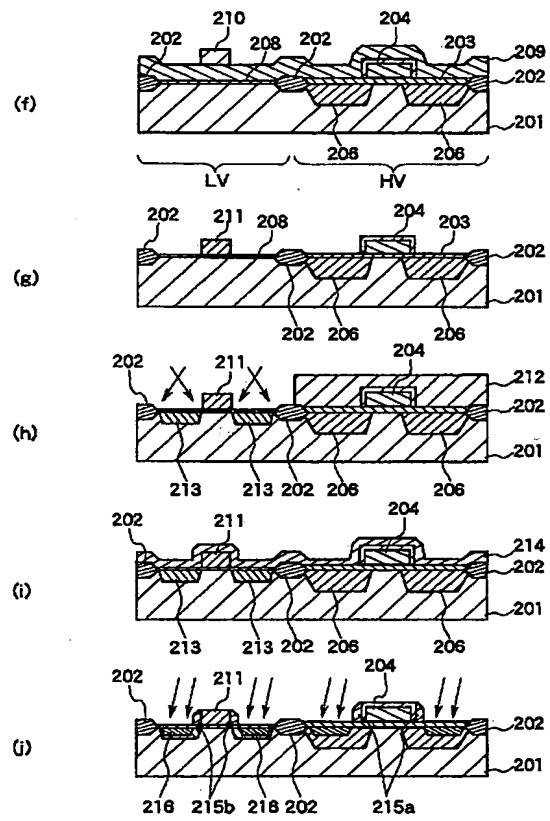




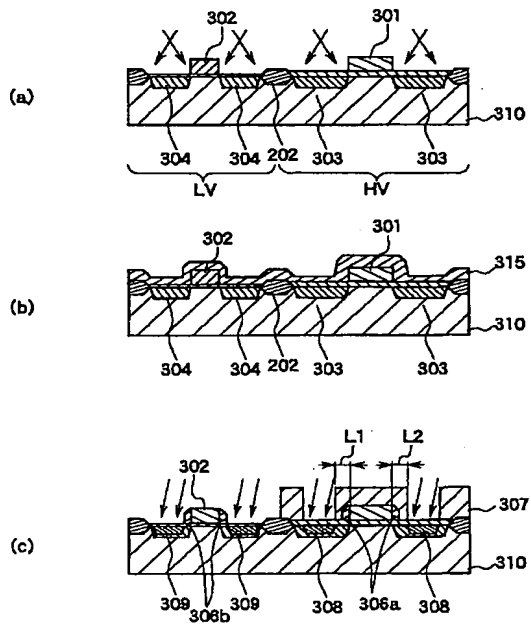
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5F040 DA22 DB01 DC01 EC07 EF13  
EK01 FA05 FA10 FA12 FB04  
FC02 FC13  
5F048 AA05 AB10 AC01 BA01 BB05  
BB16 BC06 BC07 DA01 DA25